

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 21 日  
Application Date

申請案號：092113768  
Application No.

申請人：蔚華科技股份有限公司  
Applicant(s).

局長  
Director General

蔡練生

發文日期：西元 2003 年 12 月 12 日  
Issue Date

發文字號：09221264670  
Serial No.

# 發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：\_\_\_\_\_ ※IPC 分類：\_\_\_\_\_

※ 申請日期：\_\_\_\_\_

## 壹、發明名稱

(中文) 臨界電壓及通道長度調變補償之固定電流源

(英文) CONSTANT CURRENT SOURCE WITH THRESHOLD VOLTAGE  
AND CHANNEL LENGTH MODULATION COMPENSATION

## 貳、發明人 (共 2 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 楊景翔

(英文) CHING HSIANG YANG

住居所地址：(中文) 桃園市莊敬路一段 210 巷 34 號

(英文)

國籍：(中文) 中華民國

(英文)

## 參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 蔚華科技股份有限公司

(英文) SPIROX CORPORATION

住居所或營業所地址：(中文) 新竹市復中里自由路 69 號 6 樓之 1

(英文)

國 籍：(中文) 中華民國

(英文)

代表人：(中文) 許宗賢

(英文)

發明人 2

姓名：(中文) 林俊偉

(英文) CHUN WEI LIN

住居所地址：(中文) 彰化縣花壇鄉長沙村中正路 76 號 10 弄 1 樓

(英文)

國籍：(中文) 中華民國

(英文)

#### 肆、中文發明摘要

本發明揭示一種臨界電壓及通道長度調變補償之固定電流源，其包含第一MOS電晶體、第二MOS電晶體、第三MOS電晶體、第四MOS電晶體及第五MOS電晶體，其分別具有閘極端、第一端以及第二端。該第二MOS電晶體之第一端耦合至負載阻抗，其第二端耦合至該第一MOS電晶體之第一端。該第三電晶體之閘極端及第一端共耦合至該第二MOS電晶體之MOS閘極端，其第二端耦合至該第四MOS電晶體之第一端。又該第四MOS電晶體之閘極端及第一端共耦合至該第一MOS電晶體之閘極端，其第二端耦合至第一參考電壓。該第五MOS電晶體之閘極端及第二端分別耦合至第二參考電壓及第三參考電壓，其第一端耦合至該第三電晶體之閘極端及第一端。

#### 伍、英文發明摘要

陸、(一)、本案指定代表圖為：第 4 圖

(二)、本代表圖之元件代表符號簡單說明：

M1：第一 MOS 電晶體

M2：第二 MOS 電晶體

Mb：第三 MOS 電晶體

Mc：第四 MOS 電晶體

Mp：第五 MOS 電晶體

Vr1：第一參考電壓

Vr2：第二參考電壓

Vr3：第三參考電壓

VDD：電源電壓

M3：開關電路之第一 MOS 電晶體

M4：開關電路之第二 MOS 電晶體

$I_1$ 、 $I_B$ ：電流

40：單位電流源

41：開關電路

42：串疊電晶體

43：補償電路

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：\_\_\_\_\_

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 本案在向中華民國提出申請前未曾向其他國家提出申請專利。

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

4. \_\_\_\_\_

5. \_\_\_\_\_

6. \_\_\_\_\_

7. \_\_\_\_\_

8. \_\_\_\_\_

9. \_\_\_\_\_

10. \_\_\_\_\_

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

### 一、發明所屬之技術領域

本發明係關於一種臨界電壓及通道長度調變補償之固定電流源，特別係關於一種可應用於數位類比轉換器(DAC)之電流源。

### 二、先前技術

數位類比轉換器係積體電路中經常使用之一種電路，通常可分為主動元件式(active component)及被動元件式(passive component)。被動元件式之數位類比轉換器係應用電阻或電容來完成電路設計，由於其佔據較大的晶片面積、得考慮被動元件之間的匹配，以及需要搭配高效能之運算放大器(operational amplifier)，所以現在之電路設計較不採用被動元件式，而是朝向主動元件式之方向設計。

主動元件式又可概略分為加權電流源(weighted current source)、矩陣電流源(current cell matrix)及切換電流源(switched-current)等方式來設計數位類比之轉換電路。上述三種主動元件式電路皆以單位(cell)電流源構成電流源，並利用一些開關元件來切換電流源以達成訊號轉換的目的。

圖1係一習知之十位元數位類比轉換器之電路，該電路係採用二進位加權電流源之方式設計。該數位類比轉換器包含1,023個單位電流源11，及由單位電流源11所構成的十個加權電流源 $I_0$ 、 $2I_0$ 、 $4I_0$ 、 $\dots$ 及 $512I_0$ ，

藉由控制十個開關 12 之切換就可達到輸出解析度為十位元之要求。

然而由於上述方式使用之單位電流源 11 之數目多達一千多個，因此單位電流源 11 之輸出電流的均一性相當重要，否則將無法得到高解析度或是高良率的數位類比轉換器。

圖 2 係習知之單位電流源之電路圖，該單位電流源 20 之輸出電流  $I_1$  可表示為以下之式子：

$$I_1 = K_1 \frac{W_1}{L_1} (V_a - V_{th})^2 \cdot \cdot \cdot \cdot \cdot \quad (\text{公式一})$$

其中  $K_1 = \mu_n C_{ox} / 2$ ， $\mu_n$  係電子移動率 (electron mobility)， $C_{ox}$  係單位面積電容值； $W_1$  係金屬氧化半導體 (MOS) 電晶體 M1 之通道寬度； $L_1$  係 MOS 電晶體 M1 之通道長度； $V_a$  係閘極之偏壓； $V_{th}$  係臨界電壓 (threshold voltage)。

由公式一可知，電流  $I_1$  會隨著 MOS 電晶體 M1 之臨界電壓  $V_{th}$  而變化，故對於高解析度之數位類比轉換器而言相當不理想。此外不僅臨界電壓  $V_{th}$  隨著製程條件而飄移，在單位電流源數量多之電路中也會產生較差的電源抑制比 (Power Supply Rejection Ratio; PSRR)，而使得轉換的結果產生失真。

為能得到較佳之電源抑制比，於中華民國專利第 230,284 號中提出另一單位電流源 30 之電路，如圖 3 所示。該單位電流源 30 之輸出電流  $I_2$  可簡化為以下之式子：



$$I_2 = K_2 \frac{W_2}{L_2} (V_{R1})^2 (1 + \lambda V_{DS2}) \cdot \cdot \cdot \cdot \cdot \quad (\text{公 式 二})$$

其中  $K_2$  與公式一之  $K_1$  係相同物理意義之常數； $W_2$  係 MOS 電晶體 M2 之通道寬度； $L_2$  係 MOS 電晶體 M2 之通道長度； $V_{R1}$  係第一參考電壓； $V_{DS2}$  係 MOS 電晶體 M2 之汲極與源極間之相對電壓； $\lambda$  係一係數。 $(1 + \lambda V_{DS2})$  整項即代表通道長度調變 (channel-length modulation) 效應。

由公式二可知，因  $V_{R1}$  係一固定值，所以輸出電流  $I_2$  與  $V_{DS2}$  成一比例之關係，但  $V_{DS2}$  同樣會隨著 MOS 電晶體 M1 之臨界電壓  $V_{th}$  不一致而產生變異。但相對於圖 2 之單位電流源 20，因輸出電流  $I_2$  與  $V_{th}$  之關係由 2 次方比例關係變為 1 次方之比例關係，所以單位電流源 30 之電源抑制比約可略為改善。

然圖 3 之單位電流源 30 對於高精密之數位類比轉換器而言，仍屬不符所需。因此，市場上迫切需要一種電源抑制比更低之電流源，以解決數位類比轉換器所遭遇到之上述各種問題。

### 三、發明內容

本發明之主要目的係提供一種臨界電壓及通道長度調變補償之固定電流源，於單位電流源之電路加入一補償電路，使得電流源形成一強健 (robustness) 電路，可擁有較佳之電源抑制比。

本發明之第二目的係提供一種最佳化設計之電流源，藉由相關參數之調整可得到變異最小之輸出電流，可廣泛應用於數位類比轉換器之電路設計中。

為達成上述目的，本發明揭示一種臨界電壓及通道長度調變補償之固定電流源，其包含第一 MOS 電晶體、第二 MOS 電晶體、第三 MOS 電晶體、第四 MOS 電晶體及第五 MOS 電晶體，其分別具有閘極端、第一端以及第二端。該第二 MOS 電晶體之第一端耦合至負載阻抗，其第二端耦合至該第一 MOS 電晶體之第一端。該第三 MOS 電晶體之閘極端及第一端共耦合至該第二 MOS 電晶體之閘極端，其第二端耦合至該第四 MOS 電晶體之第一端。又該第四 MOS 電晶體之閘極端及第一端共耦合至該第一 MOS 電晶體之閘極端，其第二端耦合至第一參考電壓。該第五 MOS 電晶體之閘極端及第二端分別耦合至第二參考電壓及第三參考電壓，其第一端耦合至該第三 MOS 電晶體之閘極端及第一端。

#### 四、實施方式

圖 4 係本發明之單位電流源之電路圖。本發明之單位電流源 40 包含第一 MOS 電晶體 M1、第二 MOS 電晶體 M2、第三電晶體 Mb、第四 MOS 電晶體 Mc 及第五 MOS 電晶體 Mp。此外，可加入 MOS 電晶體 M3 及 MOS 電晶體 M4 以構成一可控制電流方向之開關電路 41，並將電源供應之第一電源電壓 VDD 耦合至 P 型 MOS 電晶體 M3 及 MOS 電晶體 M4 之源極。第一 MOS 電晶體 M1 及第二 MOS 電晶體 M2 組成一串疊電晶體 (cascade transistor) 42。第三 MOS 電晶體 Mb、第四 MOS 電晶體 Mc 及第五 MOS 電晶體 Mp 構成一補償電路 43，其能降低串疊電晶體 42 之臨界電壓對輸出電流  $I_1$  之影響。

第二 MOS 電晶體 M2 之汲極端耦合至該 P 型開關電路 41 之汲極端。第三電晶體 Mb 之閘極端耦合汲極端，以作為一二極體之型式，且再耦合至第二 MOS 電晶體 M2 之閘極端。第四 MOS 電晶體 Mc 之閘極端耦合至其汲極端，以作為一二極體之型式，且再耦合至第四 MOS 電晶體 M1 之閘極端。該補償電路 43 之第四 MOS 電晶體 Mc、第三 MOS 電晶體 Mb 和第五 MOS 電晶體 Mp 係彼此串接，以形成一參考電流  $I_b$ 。該第四 MOS 電晶體 Mc 之源極耦合至第一參考電壓  $V_{r1}$ ，而第五電晶體 Mp 之閘極端及源極端分別耦合至第二參考電壓  $V_{r2}$  及第三參考電壓  $V_{r3}$ 。

該第一 MOS 電晶體 M1、第二 MOS 電晶體 M2、第三電晶體 Mb、第四 MOS 電晶體 Mc 及第五 MOS 電晶體 Mp 可以是 NMOS 電晶體（N 通道）或 PMOS 電晶體（P 通道），而如果改變圖 4 之各 MOS 電晶體之極性，則期源極和汲極之連接方式將互換，且閘極電壓之極性亦有變化。為方便敘述起見，上述各 MOS 電晶體之汲極定義為第一段，而源極定義為第二段，然在 MOS 電晶體採用不同之極性，則該第一段和第二端之定義亦產生相對應之改變。

為使單位電流源 40 之臨界電壓及通道長度調變補償得利最佳之效果，可在半導體製程控制之製程參數以達到想要之物理特性。首先要使第二 MOS 電晶體 M2 之臨界電壓  $V_{th2}$  盡量降低，且使第二 MOS 電晶體 M2 和第三電晶體 Mb 之臨界電壓保持一致（ $V_{thb} = V_{th2}$ ）。若臨界電壓  $V_{th2}$  與  $V_{thb}$  降低，則導致經過第三電晶體 Mb 通道之電流  $I_b$  會變大。

該第五電晶體  $M_p$  可視為一定阻值之電阻，而電流  $I_b$  變大的同時會使第三電晶體  $M_b$  之閘極偏壓  $V_b$  降低。最終，因偏壓  $V_b$  降低而造成第二 MOS 電晶體  $M_2$  之閘極與第二端間之偏壓  $V_{GS2}$  變小，如此就可達到補償之效果。

換言之，本發明可藉由該補償電路 43 之第三 MOS 電晶體  $M_b$  和第四 MOS 電晶體  $M_c$  與該組串疊電晶體 42 之第一 MOS 電晶體  $M_1$  和第二 MOS 電晶體  $M_2$  組成一回授電路以達到低電源抑制比之功效。

輸出電流  $I_1$  可由下列之式子表示：

$$I_1 = K_1 \frac{W_1}{L_1} (V_{r1})^2 (1 + \lambda V_{DS1}) \cdot \cdot \cdot \cdot \cdot \quad (\text{公式三})$$

其中  $K_1$  與公式一之  $K_1$  係相同物理意義之常數； $W_1$  係第一 MOS 電晶體  $M_1$  之通道寬度； $L_1$  係第一 MOS 電晶體  $M_1$  之通道長度； $V_{r1}$  係第一參考電壓； $V_{DS1}$  係第一 MOS 電晶體  $M_1$  之汲極與源極間之相對電壓； $\lambda$  係一係數； $(1 + \lambda V_{DS1})$  整項即代表通道長度調變效應。

其中  $V_{DS1}$  可表示為下列式子：

$$\begin{aligned} V_{DS1} &= V_b - V_{th2} - V_{OD2} \\ &= V_{r3} - k_b (V_{GSb} - V_{thb})^2 \times R_{on} - V_{th2} - V_{OD2} \\ &= -k_b R_{on} V_{th2}^2 + (2 \times k_b V_{GSb} R_{on} - 1) \times V_{th2} + V_{r3} - k_b R_{on} V_{GSb}^2 - V_{OD2} \cdot \cdot \cdot \cdot \cdot (\text{公式四}) \\ &= V_{th2}^2 - (2V_{GSb} - \frac{1}{k_b R_{on}}) V_{th2} + V_{GSb}^2 - V_{OD2} \end{aligned}$$

其中  $V_{th2}$  係第二 MOS 電晶體  $M_2$  之臨界電壓； $V_{OD2}$  係第二 MOS 電晶體  $M_2$  之驅動 (over-driving) 電壓，且  $V_{OD2} = V_{GS2} - V_{th2}$ ； $K_b$  係第三 MOS 電晶體  $M_b$  之參數； $V_{GSb}$  係第三 MOS

電晶體 Mb 之閘極與第二端間之偏壓； $R_{on}$  係第五 MOS 電晶體 Mp 之等效電阻。

公式四最後推導為  $V_{th2}$  和  $V_{DS1}$  之二次拋物曲線，且由該二次拋物曲線可得到  $V_{DS1}$  對  $V_{th2}$  之最不敏感之設計區間。亦即使

$$\frac{\partial V_{DS1}}{\partial V_{th2}} = 0 \Rightarrow V_{th2}(V_{DS1, \min}) = V_{GSb} - \frac{1}{2k_b R_{on}}$$

其中  $V_{th2}(V_{DS1, \min})$  係當  $V_{DS1}$  最小值時之對應數值。

圖 5 係公式四之二次曲線表示圖。曲線一係當參數  $K_b \times R_{on}$  趨近無窮大時， $V_{DS1}$  相對於  $V_{th2}$  之變化；而曲線二係  $K_b \times R_{on} = V_{GSb} / 2$  時， $V_{DS1}$  相對於  $V_{th2}$  之變化。該曲線一及曲線二係兩種極端之情形，一般實際之情形如曲線三所示。最佳化之設計考量是選擇曲線三之中央對稱點所對應  $K_b \times R_{on}$  的數值，因為既使考慮以中央對稱點之  $V_{th2} \pm 10\%$  仍能得到最小  $V_{DS1}$  之變化量，即  $\text{MIN} \Delta V_{DS1}$ 。

藉由上述最佳化設計之考慮可得到最強健之單位電流源，再利用電腦以蒙地卡羅 (Monte-Carlo) 法進一步分析模擬該最佳化之單位電流源之性能。模擬條件可假設為一高斯分佈 (Gaussian distribution) 及  $\pm 10\%$  ( $=3\sigma$ ) 之變異的  $V_{th1}$ 、 $V_{th2}$ 、 $V_{thb}$ 、 $V_{thc}$  及  $V_{thp}$ ，並在電源電壓 VDD 之變異範圍為  $2.7V \sim 3.9V$ ，可得到電源抑制比等於  $0.15\%$  之良好的性能。相較於習知技藝，本發明確可得到較佳之電源抑制比。

本發明之技術內容及技術特點已揭示如上，然而熟悉本項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範

圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

#### 五、圖式簡要說明

本發明將依照後附圖式來說明，其中：

圖1係一習知之十位元數位類比轉換器之電路；

圖2係習知之單位電流源之電路圖；

圖3係另一習知之單位電流源之電路圖；

圖4係本發明之單位電流源之電路圖；及

圖5係本發明之 $V_{DS1}$ 相對於 $V_{th2}$ 之變化曲線圖。

#### 元件符號說明

11 單位電流源                      12 開關

20、30 單位電流源

## 拾、申請專利範圍

1. 一種臨界電壓及通道長度調變補償之固定電流源，包含：

一第一金屬氧化半導體電晶體，具有一閘極、第一端和第二端；

一第二金屬氧化半導體電晶體，具有一閘極、第一端和第二端，其第二端電連接至該第一金屬氧化半導體電晶體之第一端；

一第三金屬氧化半導體電晶體，具有一閘極、第一端和第二端，其閘極及第一端電連接至該第二金屬氧化半導體電晶體之閘極；

一第四金屬氧化半導體電晶體，具有一閘極、第一端和第二端，其閘極和第一端電連接至該第一金屬氧化半導體電晶體之閘極和該第三金屬氧化半導體電晶體之第二端，而其第二端電連接至第一參考電壓；以及

一第五金屬氧化半導體電晶體，電連接至該第三金屬氧化半導體電晶體之閘極和第一端，該第五金屬氧化半導體電晶體係作為一電阻之功能。

2. 如申請專利範圍第1項之臨界電壓及通道長度調變補償之固定電流源，其中該第一金屬氧化半導體電晶體之第二端用於輸出該固定電流源之電流。

3. 如申請專利範圍第1項之臨界電壓及通道長度調變補償之固定電流源，其中該第五金屬氧化半導體電晶體具有一閘極、第一端和第二端，該閘極及第二端分別電連

接至第二參考電壓及第三參考電壓。

4. 如申請專利範圍第1項之臨界電壓及通道長度調變補償之固定電流源，其中該第二金屬氧化半導體電晶體係藉由一開關電路而電連接至一電源電壓。
5. 如申請專利範圍第4項之臨界電壓及通道長度調變補償之固定電流源，其中該開關電路包含兩個金屬氧化半導體電晶體，該兩個金屬氧化半導體電晶體之第二端共同電連接至該第二金屬氧化半導體電晶體之第一端，且該兩個金屬氧化半導體電晶體之第一端共同電連接至該電源電壓。
6. 如申請專利範圍第1項之臨界電壓及通道長度調變補償之固定電流源，其中該第一、第二、第三及第四金屬氧化半導體電晶體係N型金屬氧化半導體電晶體，該第五金屬氧化半導體電晶體係P型金屬氧化半導體電晶體，且該第一端及第二端分別為汲極與源極。
7. 如申請專利範圍第1項之臨界電壓及通道長度調變補償之固定電流源，其輸出電流滿足下列公式：

$$I_1 = K_1 \frac{W_1}{L_1} (V_{r1})^2 (1 + \lambda V_{DS1})$$

其中  $K_1$  係第一金屬氧化半導體電晶體之參數； $W_1$  係第一金屬氧化半導體電晶體之通道寬度； $L_1$  係第一金屬氧化半導體電晶體之通道長度； $V_{r1}$  係該第一參考電壓； $V_{DS1}$  係該第一金屬氧化半導體電晶體之第一端與第二端間之相對電壓； $\lambda$  係一係數。

8. 如申請專利範圍第7項之臨界電壓及通道長度調變補償



之固定電流源，其中該  $V_{DS1}$  滿足下列公式：

$$V_{DS1} = V_{th2}^2 - (2V_{GSb} - \frac{1}{k_b R_{on}})V_{th2} + V_{GSb}^2 - V_{OD2}$$

其中  $V_{th2}$  係該第二金屬氧化半導體電晶體之臨界電壓；  
 $V_{OD2}$  係該第二金屬氧化半導體電晶體之驅動電壓；  
 $K_b$  係該第三金屬氧化半導體電晶體之參數； $V_{GSb}$  係該第三金屬氧化半導體電晶體之閘極與第二端間之偏壓；  
 $R_{on}$  係該第五金屬氧化半導體電晶體之等效電阻。

9. 如申請專利範圍第8項之臨界電壓及通道長度調變補償之固定電流源，其中  $V_{th2}$  大約等於  $V_{GSb} - \frac{1}{2k_b R_{on}}$ 。

10. 一種臨界電壓及通道長度調變補償之固定電流源，包含：

一組串疊電晶體，包含一第一金屬氧化半導體電晶體和一第二金屬氧化半導體電晶體；以及

一補償電路，用於和該第一與第二金屬氧化半導體電晶體形成一回授電路。

11. 如申請專利範圍第10項之臨界電壓及通道長度調變補償之固定電流源，其中該補償電路包含：

一第三金屬氧化半導體電晶體，其閘極連接至該第二金屬氧化半導體電晶體之閘極；

一第四金屬氧化半導體電晶體，具有一閘極、第一端和第二端，該第四金屬氧化半導體電晶體串接於該第三金屬氧化半導體電晶體，其閘極連接至該第一金屬氧化半導體電晶體之閘極，且其第二端連接至第一參考電壓；以及

一定阻值電阻，電連接至該第三金屬氧化半導體電晶體。

12. 如申請專利範圍第 11 項之臨界電壓及通道長度調變補償之固定電流源，其中該第三和第四金屬氧化半導體電晶體係作為一二極體。

13. 如申請專利範圍第 11 項之臨界電壓及通道長度調變補償之固定電流源，其中該定阻值電阻為一第五金屬氧化半導體電晶體，其具有一閘極、第一端和第二端，該閘極及第二端分別電連接至第二參考電壓及第三參考電壓。

14. 如申請專利範圍第 10 項之臨界電壓及通道長度調變補償之固定電流源，其中該組串疊電晶體另連接至一開關電路。

15. 如申請專利範圍第 11 項之臨界電壓及通道長度調變補償之固定電流源，其輸出電流滿足下列公式：

$$I_1 = K_1 \frac{W_1}{L_1} (V_{r1})^2 (1 + \lambda V_{DS1})$$

其中  $K_1$  係第一金屬氧化半導體電晶體之參數； $W_1$  係第一金屬氧化半導體電晶體之通道寬度； $L_1$  係第一金屬氧化半導體電晶體之通道長度； $V_{r1}$  係該第一參考電壓； $V_{DS1}$  係該第一金屬氧化半導體電晶體之第一端與第二端間之相對電壓； $\lambda$  係一係數。

16. 如申請專利範圍第 15 項之臨界電壓及通道長度調變補償之固定電流源，其中該  $V_{DS1}$  滿足下列公式：

$$V_{DS1} = V_{th2}^2 - (2V_{GSb} - \frac{1}{k_b R_{on}})V_{th2} + V_{GSb}^2 - V_{OD2}$$

其中  $V_{th2}$  係該第二金屬氧化半導體電晶體之臨界電壓；  
 $V_{OD2}$  係該第二金屬氧化半導體電晶體之驅動電壓；  
 $K_b$  係該第三金屬氧化半導體電晶體之參數； $V_{GSb}$  係該  
 第三金屬氧化半導體電晶體之閘極與第二端間之偏壓；  
 $R_{on}$  係該第五金屬氧化半導體電晶體之等效電阻。

17. 如申請專利範圍第 16 項之臨界電壓及通道長度調變補償之固定電流源，其中  $V_{th2}$  大約等於  $V_{GSb} - \frac{1}{2k_b R_{on}}$ 。

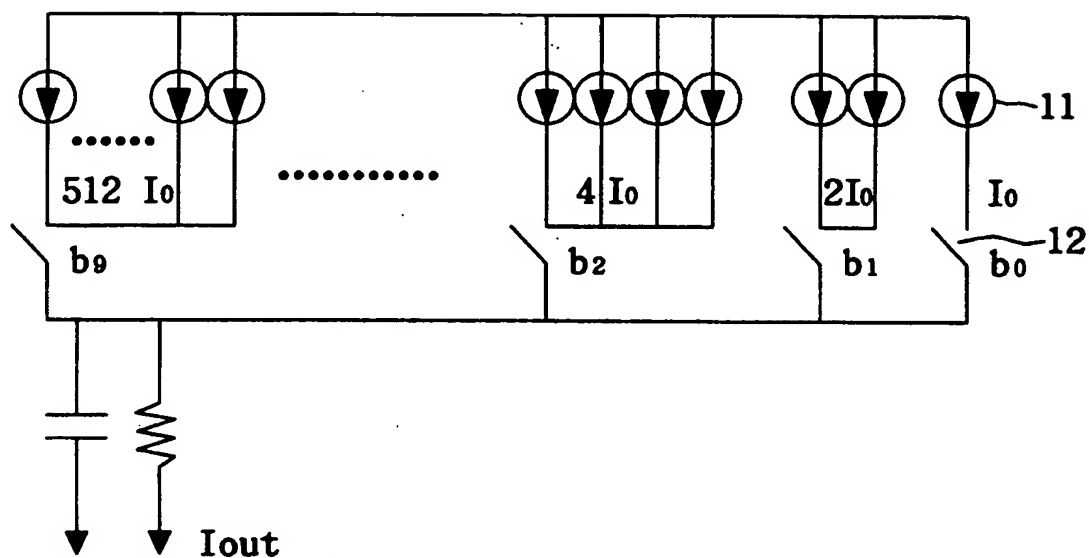


圖 1 (習知技藝)

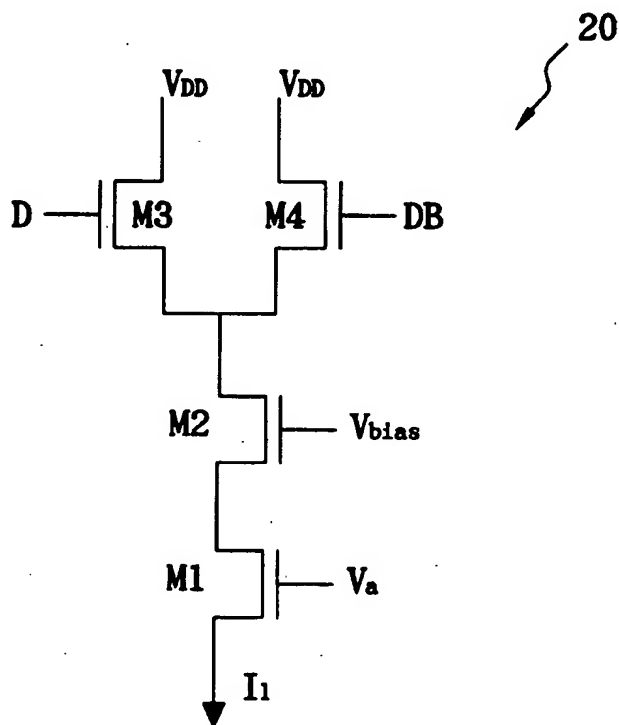


圖 2 (習知技藝)

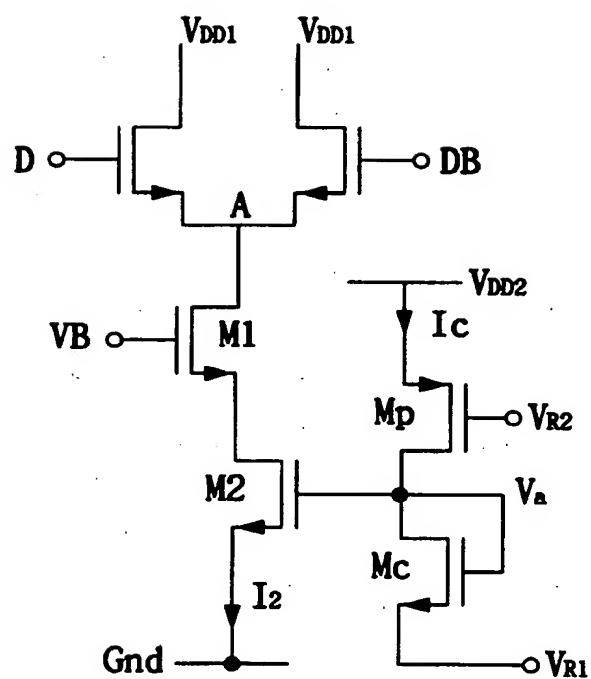


圖 3 (習知技藝)

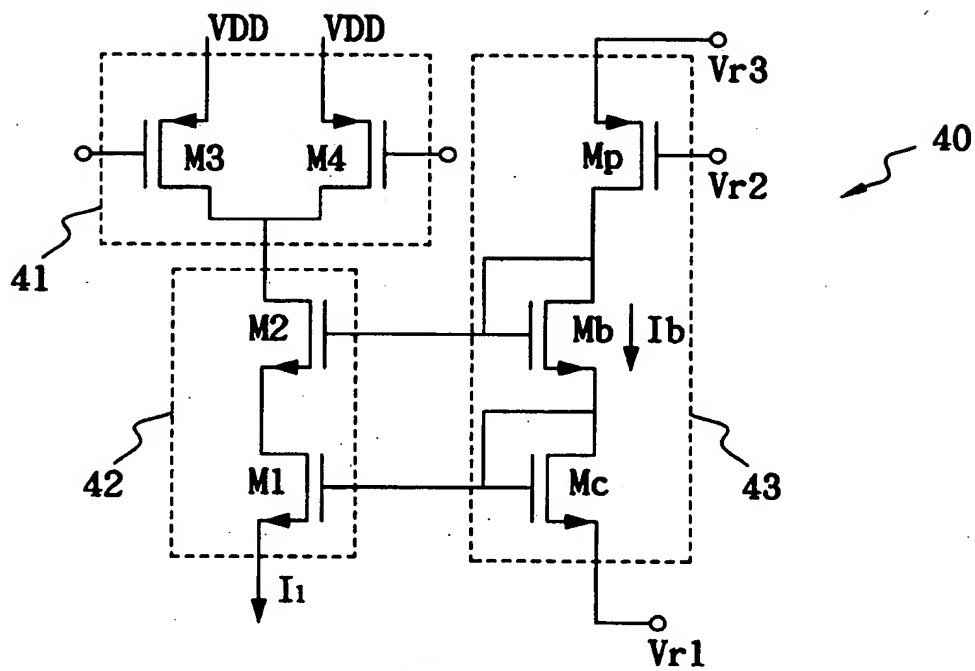
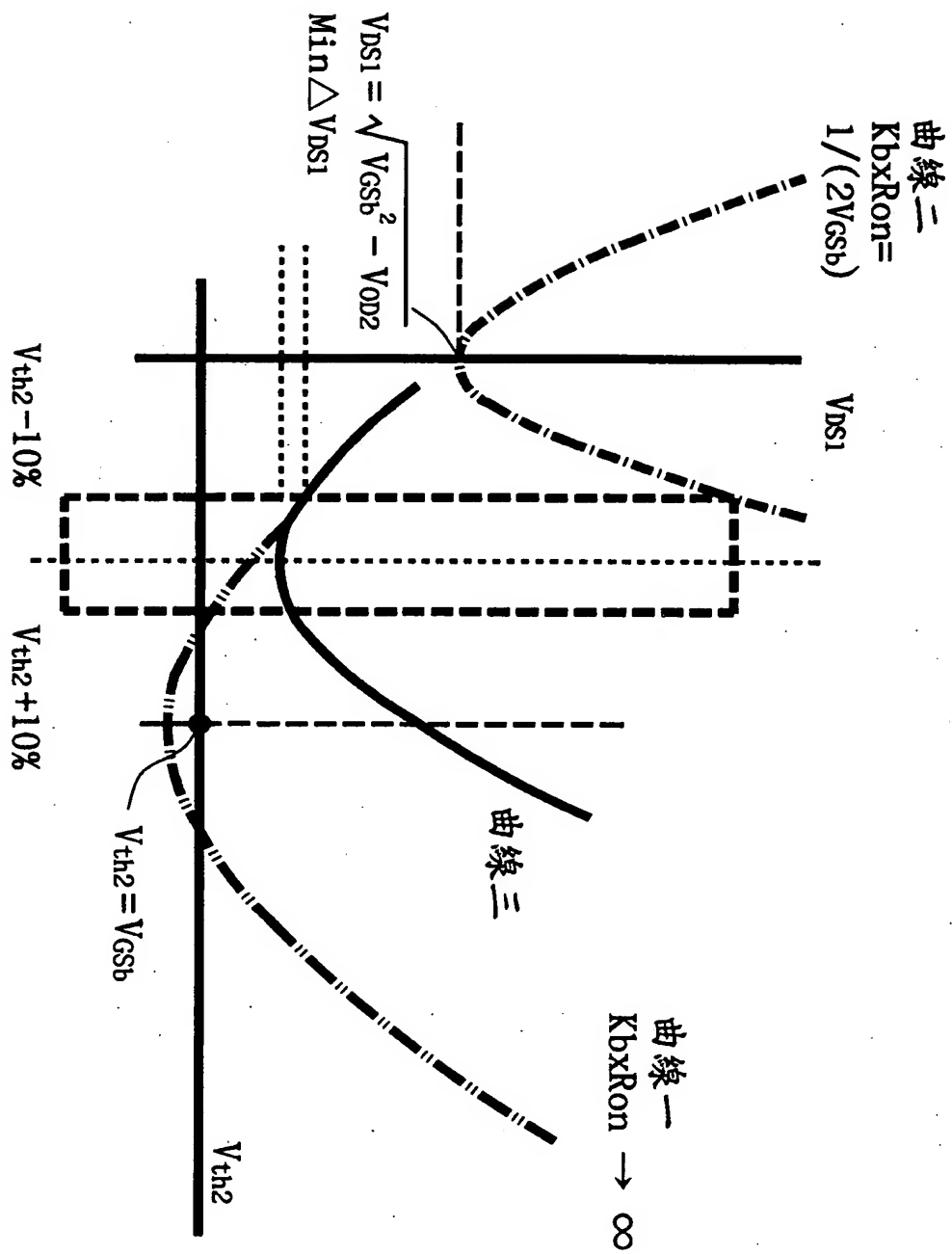


圖 4



回  
5